

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-118200

(43)Date of publication of application : 19.04.2002

(51)Int.Cl.

H01L 23/12

G01R 31/28

H01L 23/28

(21)Application number : 2000-306176

(71)Applicant : FUJITSU LTD  
FUJITSU VLSI LTD

(22)Date of filing : 05.10.2000

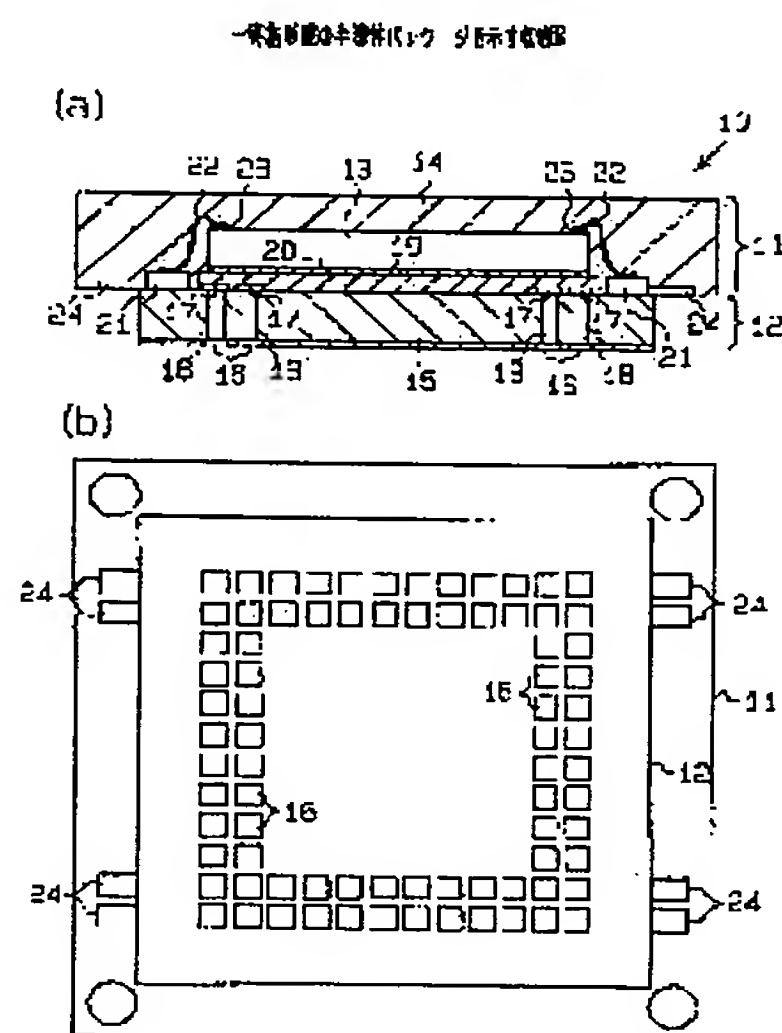
(72)Inventor : IDO TAKAAKI

## (54) SEMICONDUCTOR PACKAGE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor package capable of executing a test by easily connecting the package to a test pin even after mounting on a board while preventing an increase in size.

**SOLUTION:** The semiconductor package comprises a plurality of first external pads 16 arranged in an array-like state to supply signals to a silicon chip 13. The package further comprises a second external pad 24 to be supplied with a test signal to test the chip 13, and formed on the surface in the same direction as that of the pads 16 and in a height capable of inserting a probe pin for a test different from the pads 16.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-118200  
(P2002-118200A)

(43)公開日 平成14年4月19日(2002.4.19)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 T 2 G 0 3 2
			5 0 1 W 4 M 1 0 9
G 0 1 R 31/28		23/28	A
H 0 1 L 23/28		G 0 1 R 31/28	U

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号 特願2000-306176(P2000-306176)

(22)出願日 平成12年10月5日(2000.10.5)

(71)出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番1号

(71)出願人 000237617  
富士通ヴィエルエスアイ株式会社  
愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 井戸 隆明  
愛知県春日井市高蔵寺町二丁目1844番2  
富士通ヴィエルエスアイ株式会社内

(74)代理人 100068755  
弁理士 恩田 博宜 (外1名)

最終頁に続く

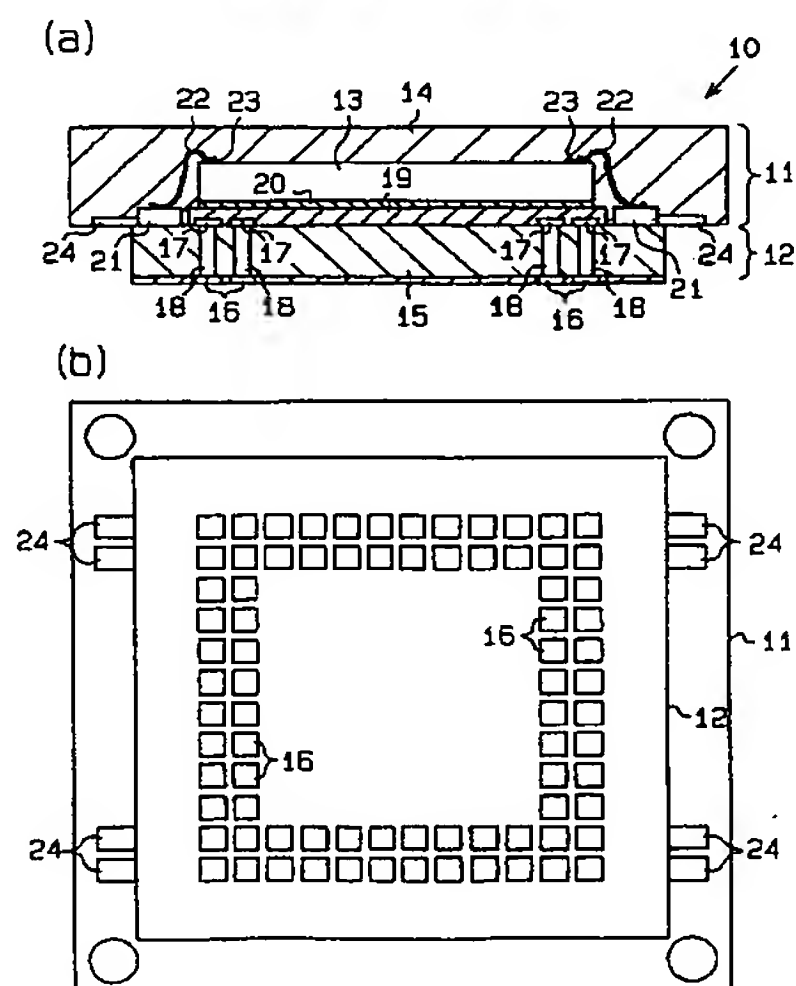
(54)【発明の名称】 半導体パッケージ

(57)【要約】

【課題】大型化を防ぎながら基板実装後にも容易にテストピンに接続してテストを実施することができる半導体パッケージを提供すること。

【解決手段】シリコンチップ13に信号を供給するためにアレイ状に配列された複数の第1の外部パッド16を備え、シリコンチップ13をテストするためのテスト信号が供給される第2の外部パッド24を第1の外部パッド16と同一方向の面に、かつ該第1の外部パッド16と異なりテスト用プローブピンが挿入可能な高さに形成する。

一実施形態の半導体パッケージを示す概略図



## 【特許請求の範囲】

【請求項 1】 半導体基板に信号を供給するためにアレイ状に配列された複数の第 1 の端子を備え、前記第 1 の端子がパッケージを実装する基板の面に対向する面に形成された表面実装型の半導体パッケージにおいて、前記半導体基板をテストするためのテスト信号が供給される第 2 の端子を前記第 1 の端子と同一方向の面に、かつ該第 1 の端子と異なる高さに形成したことを特徴とする半導体パッケージ。

【請求項 2】 前記パッケージの周縁部下面とそれより内側の部分の下面とに段差を設け、前記第 1 の端子を前記内側部分下面に形成し、前記第 2 の端子を前記周縁部下面に形成したことを特徴とする請求項 1 記載の半導体パッケージ。

【請求項 3】 前記第 2 の端子の高さは、基板実装後に前記テスト信号を供給するテスト用プローブピンが挿入可能な高さであることを特徴とする請求項 1 又は 2 記載の半導体パッケージ。

【請求項 4】 前記第 1 の端子は前記半導体基板を固定するパッケージ基板下面に形成し、前記半導体基板を封止するモールド材を前記パッケージ基板よりも大きく形成し、該モールド材の下面から前記第 2 の端子を露出するように形成したことを特徴とする請求項 1～3 のうちの何れか一項記載の半導体パッケージ。

【請求項 5】 前記半導体基板には、内部回路と、該内部回路をテストするテスト回路とが形成され、前記第 1 の端子は前記内部回路に接続され、前記第 2 の端子は前記テスト回路に接続されていることを特徴とする請求項 1～4 のうちの何れか一項記載の半導体パッケージ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は基板実装前・実装後に動作テストが可能な表面実装型の半導体パッケージに関するものである。

【0002】近年、パソコン、携帯電話、携帯情報端末等の電子機器は薄型および小型化が進められている。それに伴い、これら電子機器に用いられる半導体装置は、パッケージの小型化、高密度実装化が進められ、BGA (Ball Grid Array) や LGA (Land Grid Array) などのように、半導体チップと略同一サイズの表面実装型パッケージが用いられるようになってきている。

【0003】一般に、半導体装置においては、製品出荷前に各種のテストが行われ、そのテストに合格したものが製品として出荷される。また、近年の高機能化にともない、半導体装置は、基板実装後にもテストが必要になってきている。このため、表面実装型のパッケージにおいても、基板実装後にテストを容易に行うことが要求されている。

## 【0004】

【従来の技術】従来、製品出荷前のテストのためにパッ

ッケージにテスト用ピンを設けた半導体装置が各種提案されている。

【0005】例えば、特開平 9-22929 号公報には、半導体チップの各端子と 1 対 1 に電氣的に接続された電気特性検査のためのテストパッドを、半導体チップがマウントされる基板上に設けた BGA パッケージ半導体素子が開示されている。このテストパッドは、半田ボール形成面又はその反対側の面に設けられ、半田ボールに傷・へこみ・欠損などの外観不良を発生させることなく電気的特性検査の実施を可能にしている。

【0006】しかし、テストパッドを半田ボール形成面に設けたパッケージは、パッケージを基板に実装した後にテストパッドにテスト用プローブピンを接触させることができないため、基板実装後にテストを行うことができない。一方、テストパッドを半田ボール形成面の反対面に設けたパッケージは、基板実装後のテストを実施することができる。しかし、半導体装置の内部回路の規模が大きくなると、それに伴い半田ボールの数も多くなる。このため、半田ボールと 1 対 1 にテストパッドを形成することは、半導体チップの面積を大きくし、その小型化を図ることができない。

【0007】また、特開平 11-354674 号公報には、基板実装後に半田ボールに対してもプロービングが可能なパッケージが開示されている。このパッケージは、半導体チップ (LSI) が基板上面に実装され、下面に複数の半田ボールがマトリックス状に配設され、各半田ボールは基板内部に備えられた複数の通電部を介して半導体チップと通電している。そして、基板の少なくとも一の側面に開口するとともに、基板内部の複数の各通電部まで連通したホールを備え、このホールに検査用の接触棒を挿入してその先端を各通電部に接触させる。これにより、パッケージを基板に実装した後においても、半田ボールに対し自由にプロービングを行うことができる。

## 【0008】

【発明が解決しようとする課題】しかし、基板に接触棒の挿入可能なホールを形成しなければならないため、多ピン化に伴ってパッケージが大型化するという問題がある。また、ホールに接触棒を挿入して各通電部に接触させるため、目的とする端子への確実な接触が難しいという問題がある。

【0009】本発明は上記問題点を解決するためになされたものであって、その目的は大型化を防ぎながら基板実装後にも容易にテストピンに接続してテストを実施することができる半導体パッケージを提供することにある。

## 【0010】

【課題を解決するための手段】上記目的を達成するため、請求項 1 に記載の発明は、半導体基板に信号を供給するためにアレイ状に配列された複数の第 1 の端子を備

え、前記第 1 の端子がパッケージを実装する基板の面に対向する面に形成された表面実装型の半導体パッケージにおいて、前記半導体基板をテストするためのテスト信号が供給される第 2 の端子を前記第 1 の端子と同一方向の面に、かつ該第 1 の端子と異なる高さに形成した。従って、基板実装前のテストにおいて、第 1 の端子と第 2 の端子に同一方向から信号用プローブピンとテスト用プローブピンを接触させることができる。

【0011】請求項 2 に記載の発明のように、前記パッケージの周縁部下面とそれより内側の部分の下面とに段差を設け、前記第 1 の端子を前記内側部分下面に形成し、前記第 2 の端子を前記周縁部下面に形成した。従って、第 1 及び第 2 の端子の高さ（段差）を容易に設定できる。

【0012】請求項 3 に記載の発明のように、前記第 2 の端子の高さは、基板実装後に前記テスト信号を供給するテスト用プローブピンが挿入可能な高さである。従って、基板実装後にテスト用プローブピンを第 2 の端子に垂直に容易に接触させることができる。

【0013】請求項 4 に記載の発明のように、前記第 1 の端子は前記半導体基板を固定するパッケージ基板下面に形成し、前記半導体基板を封止するモールド材を前記パッケージ基板よりも大きく形成し、該モールド材の下面から前記第 2 の端子を露出するように形成した。従って、高さの異なる第 1 及び第 2 の端子を容易に形成できる。

【0014】請求項 5 に記載の発明のように、前記半導体基板には、内部回路と、該内部回路をテストするテスト回路とが形成され、前記第 1 の端子は前記内部回路に接続され、前記第 2 の端子は前記テスト回路に接続されている。従って、第 1 の端子に接続されるテスト用端子を設ける必要が無く、パッケージの大きさが増大するのを防ぐ。

【0015】

【発明の実施の形態】以下、本発明を具体化した一実施の形態を図 1 ～図 5 に従って説明する。図 1 (a) は本実施形態の半導体パッケージの断面図、(b) はその底面図である。

【0016】半導体パッケージ 10 は、略正方形の板状に形成され、周縁部を中央部よりも薄くすることで、中央部の下面と周辺部の下面とに段差を設けている。尚、本実施形態では半導体パッケージ 10 は、上層部分 11 と、それよりも水平形状が小さい下層部分 12 とからなる。

【0017】上層部分 11 には、シリコンチップ 13 とそれを封止するモールド材 14 とを含み、下層部分 12 はパッケージ基板 15 を含む。パッケージ基板 15 はその平面形状がシリコンチップ 13 よりもやや大きく形成され、モールド材 14 はその平面形状がパッケージ基板 15 よりもやや大きく形成されている。

【0018】パッケージ基板 15 は絶縁体からなり、その下面には格子配列された信号ピンとしての複数の第 1 の外部パッド 16 が形成されている。複数の第 1 の外部パッド 16 は、パッケージ基板 15 の上面に形成された複数の内部パッド 17 と複数のスルーホール 18 を介してそれぞれ接続されている。

【0019】パッケージ基板 15 の上面中央には絶縁層 19 が複数の内部パッド 17 を覆う（埋設する）ように形成され、その絶縁層 19 の上にはシリコンチップ 13 がボンディングペースト 20 によって固着されている。

【0020】また、パッケージ基板 15 の上面にはステージ 21 が設けられている。ステージ 21 はパッケージ基板 15 の周縁に沿って配列され、その数は第 1 の外部パッド 16 の数よりも多い。

【0021】各ステージ 21 はそれぞれボンディングワイヤ 22 を介してシリコンチップ 13 の上面に形成されたボンディングパッド 23 に接続されている。ボンディングパッド 23 はチップ 13 の周辺部に配列され、チップ 13 の上側に作り込まれた内部回路 31 及びテスト回路 32（図 3 参照）に接続されている。

【0022】ステージ 21 のうちの複数のは、パッケージ基板 15 の上面に形成された図示しないパターンを介して内部パッド 17 に接続されている。このようにして、シリコンチップ 13 に作り込まれた内部回路は、ボンディングワイヤ 22、ステージ 21、内部パッド 17、スルーホール 18 を介して第 1 の外部パッド 16 に電氣的に接続される。

【0023】内部パッド 17 に接続されていないステージ 21 のうちのいくつか（本実施形態では 8 個であり、テスト回路に接続されたステージ）には、テスト用ピンとしての第 2 の外部パッド 24 が接続されている。各第 2 の外部パッド 24 は、所定位置に先端部分下面が露出するようにモールド材 14 に埋設されている。

【0024】従って、半導体パッケージ 10 は、シリコンチップ 13 の内部回路 31 に接続された第 1 の外部パッド 16 と、同チップ 13 のテスト回路 32 に接続された第 2 の外部パッド 24 を持ち、それら第 1 及び第 2 の外部パッド 16、24 の高さは異なっている。

【0025】次に、上記のように構成された半導体パッケージ 10 の実装を説明する。図 2 に示すように、基板 41 の実装面には複数の第 1 の外部パッド 16 と対応する図示しない複数のランドが形成され、そのランド上には所定量の半田ペースト 42 が供給される。そして、半導体パッケージ 10 を基板 41 上に載置した後、リフローすることで半田ペースト 42 を溶融してランドに第 1 の外部パッド 16 半田付けする。

【0026】次に、半導体パッケージ 10 の動作試験、図 3 ～図 5 に従って説明する。図 3 は、半導体パッケージ 10 のテスト時における接続を示すブロック図である。

【0027】出荷前などの基板実装前のテストにおいて、図3(a)に示すように、半導体パッケージ10の第1及び第2の外部パッド16, 24は、第1の検査装置51に接続される。

【0028】第1の検査装置51は、図4に示すテストヘッド(測定用ソケット)52を備える。テストヘッド52は、ソケット53と、それに立設された複数の信号ピン用の第1のプロープピン54及びテストピン用の第2のプロープピン55から構成される。第1のプロープピン54は、アレイ状に配列され、第1の外部パッド16に接触する。第2のプロープピン55は第1のプロープピン54に比べて半導体パッケージ10の第1及び第2の外部パッド16, 24の段差の分だけ長く形成され、第2の外部パッド24に接触する。即ち、第1及び第2のプロープピン54, 55の長さを変えることで、それらが第1及び第2の外部パッド16, 24と同時に接触するようにしている。

【0029】検査装置51は、第1及び第2の外部パッド16, 24を介して内部回路31及びテスト回路32にテスト信号を供給し、内部回路31及びテスト回路32から受ける信号に基づいて半導体パッケージ10の良否を判断する。

【0030】このように、信号を供給する第1及び第2の外部パッド16, 24を半導体パッケージ10の同一方向に設けたので、第1の外部パッド16に接続する第1のプロープピン54と、第2の外部パッド24に接続する第2のプロープピン55を、同一方向から接触させることができ、1つのテストヘッド52を設ければよく、検査装置51の構成を単純にし、検査コストを低減することができる。これは、テスト信号を供給する第2の外部パッド24がパッケージ10の側面又は上面に形成されていると、それらに第2のプロープピンを接続するために第1のプロープピン54を備えたテストヘッドとは別にテストヘッドが必要となる、又は複雑な形状のテストヘッド(測定用ソケット)が必要となり、これらは検査コストを上昇させるからである。

【0031】尚、テスト用ピンとしての第2の外部パッド24が省略された通常の半導体パッケージに対して、図4のテストソケットを用いて内部回路31のテストを行うことができる。これは、第1の外部パッド16の配列が変化しないためであり、検査コストを低減する。従来の通常のパッケージの場合、テスト用パッドを省略すると内部回路に信号を供給するための信号ピンの配列が変更されたり、パッケージの外形寸法が変更されて(小さくなって)信号ピンの配置配列が変更される。このことは、テスト用ピンを備えたパッケージのテストを行うためのテストヘッド(測定用ソケット)とは形状の異なるテストヘッド(測定用ソケット)を必要とし、検査コストを上昇させる。

【0032】基板実装後のテストにおいて、図3(b)

に示すように、半導体パッケージ10の第1及び第2の外部パッド16, 24は、第2の検査装置56に接続される。第2の検査装置56は、図5に示すテストヘッド57を備える。テストヘッド57は、ソケット58と、それに垂設された複数のテストピン用のプローブピン59から構成される。プローブピン59は略釣り針状に形成され、その先端が半導体パッケージ10の上層部分11と基板41との間の隙間に挿入可能に形成されている。そして、複数のプローブピン59は、第2の外部パッド24に接触されるように配列されている。このテストヘッド57は、例えばバネ等によって垂直上方向に付勢され、プローブピン59が第2の外部パッド24に所定の圧力にて接触するように構成されている。これにより、第2の外部パッド24に対してプローブピン59が確実に接触される。

【0033】第2の検査装置56は、第2の外部パッド16, 24を介してテスト回路32にテスト信号を供給し、テスト回路32から受ける信号に基づいて内部回路31の良否を判断する。

【0034】尚、図1のシリコンチップ13に搭載するテスト回路32を、第1及び第2の検査装置51, 56から受けるテストモード信号に応答して内部回路31を自己診断する信号を生成する、所謂ビルトインセルフテストを実施する回路としてもよい。

【0035】以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) シリコンチップ13に信号を供給するためにアレイ状に配列された複数の第1の外部パッド16を備え、シリコンチップ13をテストするためのテスト信号が供給される第2の外部パッド24を第1の外部パッド16と同一方向の面に、かつ該第1の外部パッド16と異なる高さに形成した。その結果、基板実装前のテストにおいて、第1の外部パッド16と第2の外部パッド24に同一方向から信号用プローブピンとテスト用プローブピンを接触させることができる。従って、テスト用ヘッド52の構成が簡単になり、検査コストを低減することができる。

【0036】(2) 半導体パッケージ10の周縁部下面とそれより内側の部分の下面とに段差を設け、第1の外部パッド16を内側部分下面に形成し、第2の外部パッド24を周縁部下面に形成した。その結果、段差によって第1及び第2の外部パッド16, 24の高さ(段差)を容易に設定することができる。

【0037】(3) 第2の外部パッド24の高さは、基板実装後にテスト信号を供給するテスト用プローブピン59が挿入可能な高さである。その結果、基板実装後にテスト用プローブピン59を第2の外部パッド24に垂直に容易に接触させることができる。

【0038】(4) 第1の外部パッド16はシリコンチップ13を固定するパッケージ基板15下面に形成し、



シリコンチップ13を封止するモールド材14をパッケージ基板15よりも大きく形成し、モールド材14の下面から第2の外部パッド24を露出するように形成した。その結果、高さの異なる第1及び第2の外部パッド16、24を容易に形成できる。

【0039】(5)シリコンチップ13には内部回路31と、その内部回路31をテストするテスト回路32とが作り込まれていて、第1の外部パッド16が内部回路31に接続され、第2の外部パッド24がテスト回路32に接続されている。その結果、第1の外部パッド16に接続されるテスト用外部パッドを設ける必要が無く、半導体パッケージ10の大きさが増大するのを防ぐことができる。

【0040】(6)半導体パッケージ10の下面にテスト用の第2の外部パッド24を設けたので、基板実装後に第2の外部パッド24に異物などが付着するのを防止することができる。

【0041】尚、前記実施形態は、以下の態様に変更してもよい。

・上記実施形態では、シリコンチップ13を半導体集積回路が形成されている面を上にした所謂フェースアップにて搭載したが、半導体集積回路が形成されている面をパッケージ基板15側にした所謂フェースダウンにて搭載した半導体装置に具体化してもよい。この場合、パッド23がステージ21にバンプ等を介して接続されるため、パッケージ基板15のサイズ、ひいては半導体パッケージ10のサイズをより小さくすることができる。

【0042】・上記実施形態では、半導体パッケージ10をLGAパッケージに具体化した但、図6に示すように、基板と接続するボール61をアレイ状に配列したBGAのパッケージ60などように、他の表面実装パッケージに具体化して実施してもよい。

【0043】・上記実施形態において、パッケージ基板15にプリント配線板やビルドアップ配線板などの高密度配線板などを用いて実施してもよく、より多ピンの半導体パッケージに対応することができる。

【0044】・上記実施形態において、上層部分11の平面形状はテスト用の第2の外部パッド24を設けた場

所に応じて変更しても良く、例えば第2の外部パッド24を設けていない辺をパッケージ基板15の辺と略同一に形成しても良い。また、上層部分11の形状を例えば断面台形形状などのように適宜変更して実施してもよい。

【0045】・上記実施形態において、テスト用の信号を供給する第2の外部パッド24の数を、少なくとも1つの任意の数に設定してもよい。

・上記実施形態において、信号ピンとしての第1の外部パッド16の配列を、千鳥格子などの任意の配列に変更して実施してもよい。また、図1(b)において第1の外部パッド16の形状を四角形にて示したが、円形、8角形などの任意の形状に変更して実施してもよい。同様に、第2の外部パッド24の形状を任意に変更して実施してもよい。

【0046】

【発明の効果】以上詳述したように、本発明によれば、大型化を防ぎながら基板実装後にも容易にテストピンに接続してテストを実施することが可能な半導体パッケージを提供することができる。

【図面の簡単な説明】

【図1】一実施形態の半導体パッケージを示す概略図である。

【図2】基板実装の説明図である。

【図3】検査時の接続を示すブロック図である。

【図4】基板実装前の検査の説明図である。

【図5】基板実装後の検査の説明図である。

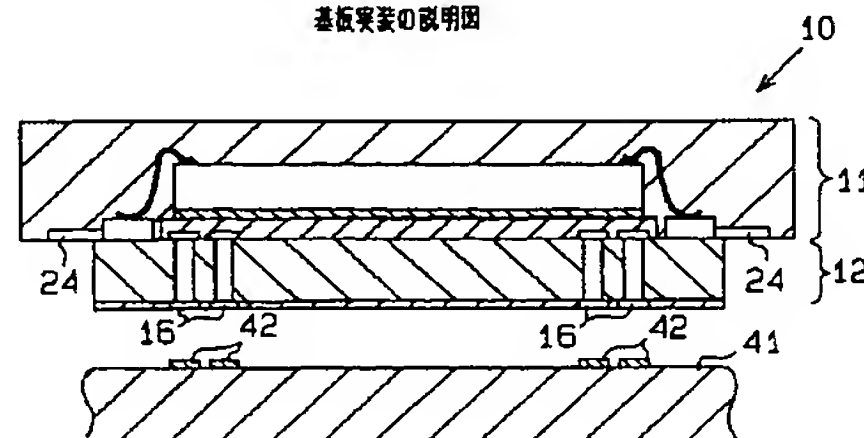
【図6】別の半導体パッケージの断面図である。

【符号の説明】

- 10 半導体パッケージ
- 13 半導体基板
- 14 モールド材
- 15 パッケージ基板
- 16 第1の端子
- 24 第2の端子
- 31 内部回路
- 32 テスト回路
- 55 テスト用プローブピン

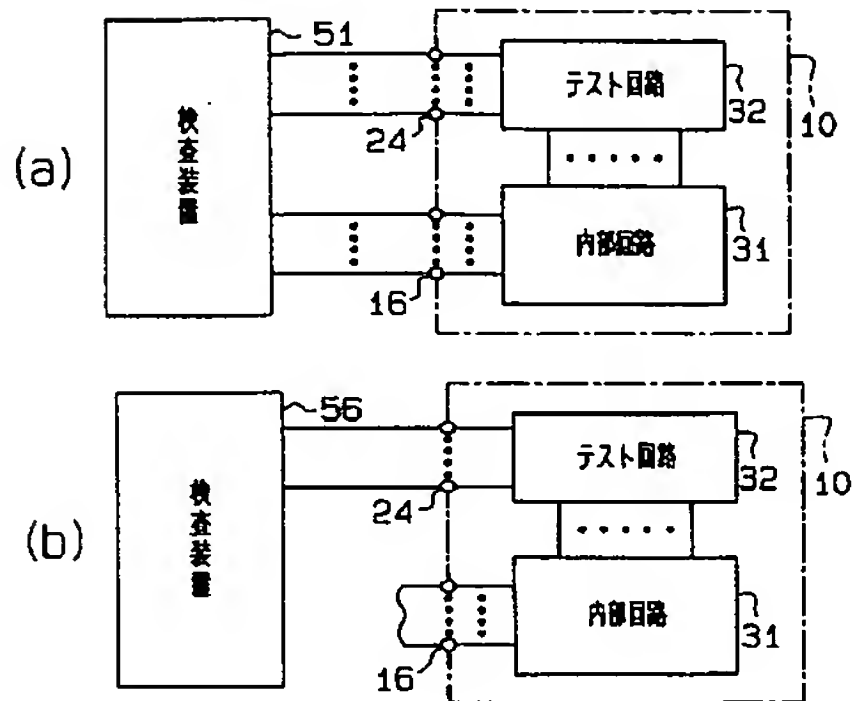
【図2】

基板実装の説明図



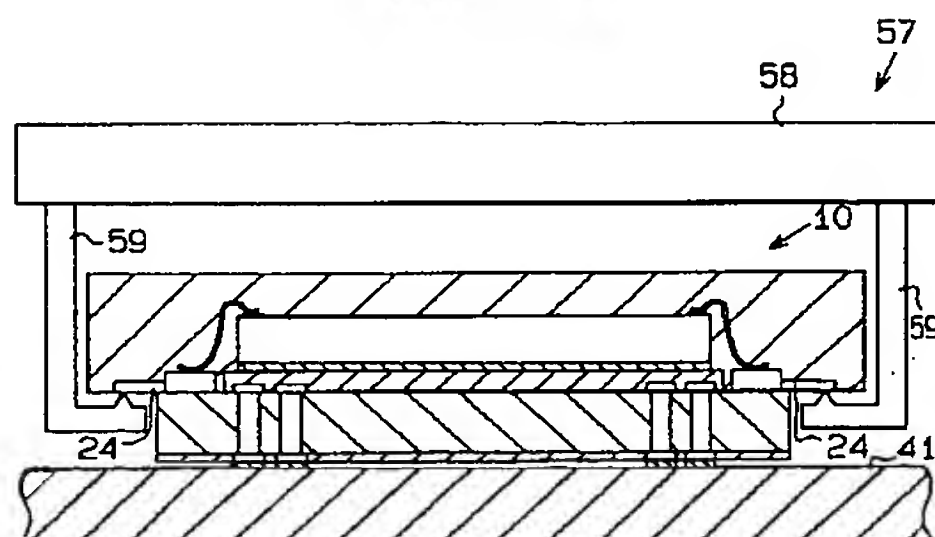
【図 3】

### 検査時の接続を示すブロック図



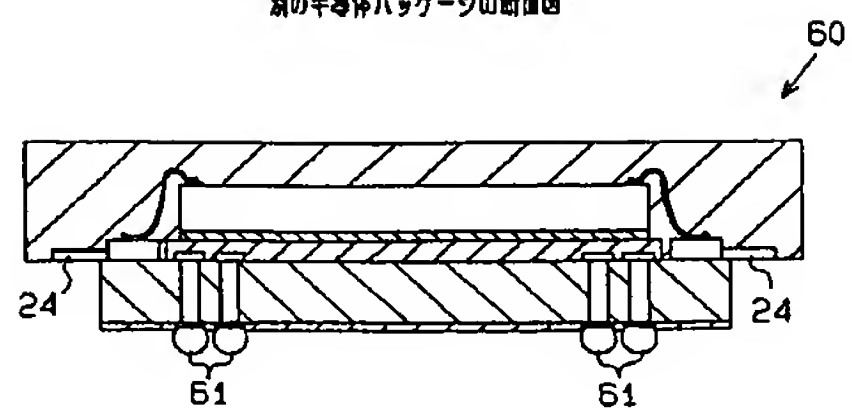
【図 5】

### 基板実装後の検査の説明図



【図 6】

別の半導体パッケージの断面図



フロントページの続き

Fターム(参考) 2G032 AA00 AK01 AK02 AL00  
4M109 AA01 BA04 CA21 DA01 DA03  
DA10 DB15 DB16